

PATENT ABSTRACTS OF JAPAN

NEC-5110 ①

(11)Publication number : 2001-326224

(43)Date of publication of application : 22.11.2001

(51)Int.Cl.

H01L 21/316
H01L 21/31
H01L 21/3205
H01L 21/768

(21)Application number : 2000-264225

(71)Applicant : CANON SALES CO INC
HANDOTAI PROCESS
KENKYUSHO:KK

(22)Date of filing : 31.08.2000

(72)Inventor : SUZUKI TOMOMI
YAMAMOTO YOICHI
KOTAKE YUICHIRO
IKAKURA HIROSHI
OGAWARA SHOJI
SHIOTANI YOSHIMI
OHIRA KOICHI
MAEDA KAZUO

(30)Priority

Priority number : 2000051641
2000062393

Priority date : 28.02.2000
07.03.2000

Priority country : JP

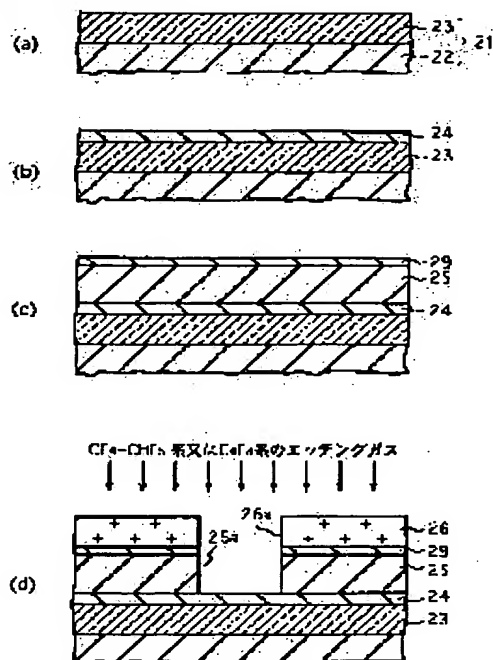
JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the oxidation of wiring and etching, and at the same time to reduce a leak current being wiring for bolding an interlayer insulating film when the wiring is covered for forming the interlayer insulating film having a low dielectric constant, and at the same time a via hole or the like is formed on the interlayer insulating film.

SOLUTION: In this manufacturing method of a semiconductor device where an interlayer insulating film 25 is formed on a substrate 21 to be film-formed where wiring 23 is exposed, a silicon compound containing silicon(Si), oxygen(O), carbon(C), and hydrogen(H) is changed into plasma as a film-formed gas for reacting, and a block insulating film 24 containing the Si, O, C, and H is formed between the wiring 23 and interlayer insulating film 25.



LEGAL STATUS

[Date of request for examination]	31.08.2000
[Date of sending the examiner's decision of rejection]	27.08.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3419745
[Date of registration]	18.04.2003
[Number of appeal against examiner's decision of rejection]	2002-18579
[Date of requesting appeal against examiner's decision of rejection]	25.09.2002
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-326224

(P2001-326224A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/316		H 0 1 L 21/316	X 5 F 0 3 3
			M 5 F 0 4 5
21/31		21/31	C 5 F 0 5 8
21/3205		21/88	M
21/768		21/90	S
審査請求 有 請求項の数17 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2000-264225 (P2000-264225)

(22) 出願日 平成12年 8 月31日 (2000. 8. 31)

(31) 優先権主張番号 特願2000-51641 (P2000-51641)

(32) 優先日 平成12年 2 月28日 (2000. 2. 28)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2000-62393 (P2000-62393)

(32) 優先日 平成12年 3 月7日 (2000. 3. 7)

(33) 優先権主張国 日本 (J P)

(71) 出願人 390002761

キヤノン販売株式会社

東京都港区三田 3 丁目11番28号

(71) 出願人 391007873

株式会社半導体プロセス研究所

東京都港区港南 2 - 13 - 29

(72) 発明者 鈴木 智美

東京都港区三田 3 - 11 - 28 キヤノン販売

株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

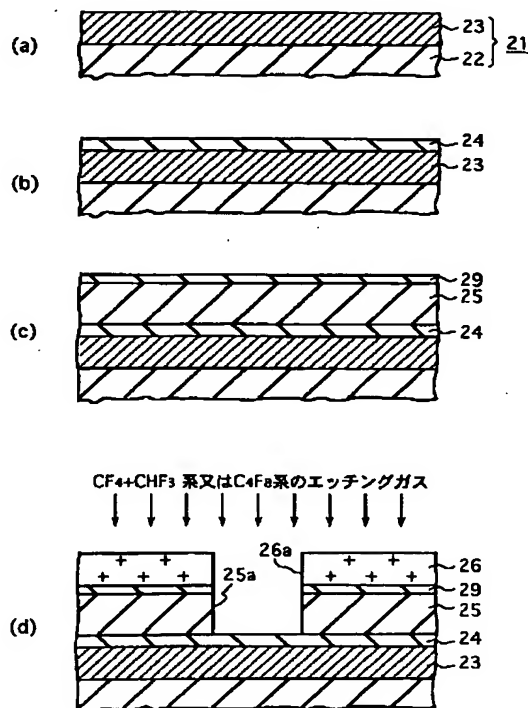
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 配線を被覆して低誘電率を有する層間絶縁膜を形成し、かつ層間絶縁膜にビアホール等を形成したときに、配線の酸化やエッチングを防止することができ、かつ層間絶縁膜を挟む配線間のリーク電流を小さくする。

【解決手段】 配線 2 3 が露出している被成膜基板 2 1 上に層間絶縁膜 2 5 を形成する半導体装置の製造方法において、シリコン (S i)、酸素 (O)、炭素 (C) 及び水素 (H) を含むシリコン化合物を成膜ガスとしてプラズマ化し、反応させて、配線 2 3 と層間絶縁膜 2 5 の間に、S i、O、C、H を含有するブロック絶縁膜 2 4 を形成する。



【特許請求の範囲】

【請求項 1】 配線が露出している被成膜基板上に層間絶縁膜を形成する半導体装置の製造方法において、シリコン (Si)、酸素 (O)、炭素 (C) 及び水素 (H) を含むシリコン化合物を成膜ガスとしてプラズマ化し、反応させて、前記配線と前記層間絶縁膜の間に、前記 Si、O、C、H を含有するブロック絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 前記シリコン化合物は、アルキル基及びアルコキシル基のうち少なくとも何れか一を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記成膜ガスは、前記シリコン化合物に不活性ガス、水素ガス、及び C_xH_y ガスのうち少なくとも何れか一を加えたものであることを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】 前記 Si、O、C、H を含有するブロック絶縁膜を形成する前に、前記配線を被覆して C_xH_y を成膜ガスとしてプラズマ化し、反応させ、前記 C、H を含有する副ブロック絶縁膜を形成することを特徴とする請求項 1 乃至 3 の何れか一に記載の半導体装置の製造方法。

【請求項 5】 前記 Si、O、C、H を含有するブロック絶縁膜を形成する前に、前記配線を被覆して Si、C を含有する副ブロック絶縁膜を形成することを特徴とする請求項 1 乃至 3 の何れか一に記載の半導体装置の製造方法。

【請求項 6】 前記 Si、C を含有する副ブロック絶縁膜を、モノメチルシラン ($SiH_3(CH_3)$)、ジメチルシラン ($SiH_2(CH_3)_2$)、トリメチルシラン ($SiH(CH_3)_3$) 及びテトラメチルシラン ($Si(CH_3)_4$) のうち何れか一を成膜ガスとしてプラズマ化し、反応させることにより形成することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記 Si、C を含有する副ブロック絶縁膜を、 Si_xH_y ガスと C_xH_y ガスを含む成膜ガスをプラズマ化して反応させることにより形成することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】 前記被成膜基板を保持する第 1 の電極と該第 1 の電極に対向する第 2 の電極とを用いるとともに、前記第 1 の電極に低い周波数の大きい電力を印加し、かつ前記第 2 の電極に高い周波数の小さい電力を印加して前記成膜ガスをプラズマ化し、反応させることにより、前記ブロック絶縁膜又は前記副ブロック絶縁膜を形成することを特徴とする請求項 1 乃至 7 の何れか一に記載の半導体装置の製造方法。

【請求項 9】 前記シリコン化合物としてシロキサン結合を有する化合物を用いることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 10】 前記成膜ガスに更に CH_4 を添加することを特徴とする請求項 9 に記載の半導体装置の製造方

法。

【請求項 11】 前記被成膜基板を保持する第 1 の電極と該第 1 の電極に対向する第 2 の電極とを用い、前記第 1 の電極又は前記第 2 の電極に交流電力を印加することにより前記プラズマ化を行い、前記第 1 の電極と前記第 2 の電極との間隔を 25mm 以下にすることを特徴とする請求項 9 又は請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 前記被成膜基板を保持する第 1 の電極と該第 1 の電極に対向する第 2 の電極とを用い、前記第 1 の電極又は前記第 2 の電極に交流電力を印加することにより前記プラズマ化を行い、 $2/\pi (W/cm^2)$ 以上の電力を前記交流電力により前記被成膜基板に印加することを特徴とする請求項 9 又は請求項 10 に記載の半導体装置の製造方法。

【請求項 13】 前記シロキサン結合を有する化合物は、HMD S ($(CH_3)_3Si-O-Si(CH_3)_3$)、OMCTS ($(Si(CH_3)_2)_4$)、TMCTS ($SiH(CH_3)_4O_4$) のうちのいずれかであることを特徴とする請求項 9 乃至 12 に記載の半導体装置の製造方法。

【請求項 14】 前記成膜ガスに更に不活性ガスを添加したことを特徴とする請求項 9 乃至 13 に記載の半導体装置の製造方法。

【請求項 15】 前記層間絶縁膜は、多孔質シリコン含有絶縁膜であることを特徴とする請求項 1 乃至 14 の何れか一に記載の半導体装置の製造方法。

【請求項 16】 前記配線は、銅 (Cu) から成ることを特徴とする請求項 1 乃至 15 の何れか一に記載の半導体装置の製造方法。

【請求項 17】 請求項 1 乃至 16 の何れか一の半導体装置の製造方法により、前記被成膜基板上に前記ブロック絶縁膜及び層間絶縁膜が形成されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、より詳しくは、配線を被覆して低誘電率を有する層間絶縁膜を形成し、その層間絶縁膜にビアホール或いはコンタクトホールを形成する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体集積回路装置の高集積度化、高密度化とともに、データ転送速度の高速化が要求されている。このため、RCディレイの小さい低誘電率膜が用いられている。例えば、比誘電率 3.5~3.8 の SiO_F 膜や比誘電率 3.0~3.1 の多孔質 SiO_2 膜などである。

【0003】 一方、配線材料に関して、従来のアルミニウム (Al) から電気抵抗の低い銅 (Cu) 配線に変わりつつある。銅配線上に低誘電率を有する絶縁膜 (以

下、低誘電率膜と称する。)を形成し、その後低誘電率膜にビアホールを形成するが、その際、下地の銅配線の酸化やエッチングを防止するために、銅配線を保護するブロック絶縁膜が必要となる。従来、そのブロック絶縁膜としてシリコン窒化膜(以下、SiN膜と称する。)を用いている。

【0004】

【発明が解決しようとする課題】しかしながら、SiN膜は比誘電率が凡そ7程度と高いという問題がある。そこで、層間絶縁膜としてプラズマCVD法により形成したSiC膜を用いることが考えられているが、この膜は比誘電率が5程度と比較的低いが、リーク電流が大きく、この層間絶縁膜を挟む配線間でリーク電流が生じるという問題がある。

【0005】また、ブロック絶縁膜は、下地の銅配線中の銅が層間絶縁膜に拡散するのを防ぐ機能を有しているのが好ましい。本発明は、上記の従来例の問題点に鑑みて創作されたものであり、配線を被覆して低誘電率を有する層間絶縁膜を形成し、かつ層間絶縁膜にビアホールやコンタクトホールを形成したときに、配線の酸化やエッチングを防止することができ、かつ配線の成分が層間絶縁膜に拡散するのを防ぐことができ、そして層間絶縁膜を挟む配線間のリーク電流を小さくすることができる半導体装置及びその製造方法を提供するものである。

【0006】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、半導体装置の製造方法に係り、配線が露出している被成膜基板上に層間絶縁膜を形成する半導体装置の製造方法において、シリコン(Si)、酸素(O)、炭素(C)及び水素(H)を含むシリコン化合物を成膜ガスとしてプラズマ化し、反応させて、前記配線と前記層間絶縁膜の間に、前記Si、O、C、Hを含有するブロック絶縁膜を形成することを特徴とし、請求項2記載の発明は、請求項1記載の半導体装置の製造方法に係り、前記シリコン化合物は、アルキル基及びアルコキシル基のうち少なくとも何れか一を含むことを特徴とし、請求項3記載の発明は、請求項1又は2記載の半導体装置の製造方法に係り、前記成膜ガスは、前記シリコン化合物に不活性ガス、水素ガス、及びCxHyガスのうち少なくとも何れか一を加えたものであることを特徴とし、請求項4記載の発明は、請求項1乃至3の何れか一に記載の半導体装置の製造方法に係り、前記Si、O、C、Hを含有するブロック絶縁膜を形成する前に、前記配線を被覆してCxHyを成膜ガスとしてプラズマ化し、反応させ、前記C、Hを含有する副ブロック絶縁膜を形成することを特徴とし、請求項5記載の発明は、請求項1乃至3の何れか一に記載の半導体装置の製造方法に係り、前記Si、O、C、Hを含有するブロック絶縁膜を形成する前に、前記配線を被覆してSi、Cを含有する副ブロック絶縁膜を形成すること

を特徴とし、請求項6記載の発明は、請求項5記載の半導体装置の製造方法に係り、前記Si、Cを含有する副ブロック絶縁膜を、モノメチルシラン(SiH₃(CH₃))、ジメチルシラン(SiH₂(CH₃)₂)、トリメチルシラン(SiH(CH₃)₃)及びテトラメチルシラン(Si(CH₃)₄)のうち何れか一を成膜ガスとしてプラズマ化し、反応させることにより形成することを特徴とし、請求項7記載の発明は、請求項5記載の半導体装置の製造方法に係り、前記Si、Cを含有する副ブロック絶縁膜を、Si_xH_yガスとCxHyガスを含む成膜ガスをプラズマ化して反応させることにより形成することを特徴とし、請求項8記載の発明は、請求項1乃至7の何れか一に記載の半導体装置の製造方法に係り、前記被成膜基板を保持する第1の電極と該第1の電極に対向する第2の電極とを用いるとともに、前記第1の電極に低い周波数の大きい電力を印加し、かつ前記第2の電極に高い周波数の小さい電力を印加して前記成膜ガスをプラズマ化し、反応させることにより、前記ブロック絶縁膜又は前記副ブロック絶縁膜を形成することを特徴とし、請求項9記載の発明は、請求項1に記載の半導体装置の製造方法に係り、前記シリコン化合物としてシロキサン結合を有する化合物を用いることを特徴とし、請求項10記載の発明は、請求項9に記載の半導体装置の製造方法に係り、前記成膜ガスに更にCH₄を添加することを特徴とし、請求項11記載の発明は、請求項9又は請求項10に記載の半導体装置の製造方法に係り、前記被成膜基板を保持する第1の電極と該第1の電極に対向する第2の電極とを用い、前記第1の電極又は前記第2の電極に交流電力を印加することにより前記プラズマ化を行い、前記第1の電極と前記第2の電極との間隔を25mm以下にすることを特徴とし、請求項12記載の発明は、請求項9又は請求項10に記載の半導体装置の製造方法に係り、前記第1の電極又は前記第2の電極に交流電力を印加することにより前記プラズマ化を行い、2/π(W/cm²)以上の電力を前記交流電力により前記被成膜基板に印加することを特徴とし、請求項13記載の発明は、請求項9乃至12の何れか一に記載の半導体装置の製造方法に係り、前記シロキサン結合を有する化合物は、HMDS((CH₃)₃Si-O-Si(CH₃)₃)、OMCTS((Si(CH₃)₂)₄)、TMCTS(SiH(CH₃))₄O₄)のうちのいずれかであることを特徴とし、請求項14記載の発明は、請求項9乃至13の何れか一に記載の半導体装置の製造方法に係り、前記成膜ガスに更に不活性ガスを添加したことを特徴とし、請求項15記載の発明は、請求項1乃至14の何れか一に記載の半導体装置の製造方法に係り、前記層間絶縁膜は、多孔質シリコン含有絶縁膜であることを特徴とし、請求項16記載の発明は、請求項1乃至15の何れか一に記載の半導体装置の製造方法に係り、前記配線は、銅(Cu)から成ることを特徴とし、請求項17記載の発明は、半導体装置に係り、請求項1乃至16の

何れか一の半導体装置の製造方法により、前記被成膜基板上に前記ブロック絶縁膜が形成されたことを特徴としている。

【0007】以下に、上記本発明の構成により奏される作用を説明する。この発明である、配線上に層間絶縁膜を形成する半導体装置の製造方法において、シリコン (Si)、酸素 (O)、炭素 (C) 及び水素 (H) だけを含むシリコン化合物をプラズマ化して反応させ、配線と層間絶縁膜の間に Si, O, C, H を含有するブロック絶縁膜を形成している。

【0008】シリコン (Si)、酸素 (O)、炭素 (C) 及び水素 (H) を含むシリコン化合物を成膜ガスとして用い、酸化剤を用いていないので、ブロック絶縁膜を形成するときに、下部配線、例えば銅配線が酸化するのを防止することができる。また、層間絶縁膜を形成するときには下部配線、例えば銅配線はすでにブロック絶縁膜により被覆されているので、酸化剤を用いても、下部配線が酸化するのを防止することができる。

【0009】ところで、低誘電率を有する層間絶縁膜は一般に多孔質であり、外部から水分等が層間絶縁膜を通して下部配線まで侵入し易いが、下部配線と低誘電率を有する層間絶縁膜との間にブロック絶縁膜を形成した場合、外部から水分等が層間絶縁膜を通して侵入してきてもブロック絶縁膜によって阻止され、下部配線まで到達しない。これにより、下部配線の腐食を防止することができる。また、ブロック絶縁膜を間に挟むことにより下部配線から層間絶縁膜への銅の拡散を防止し、層間絶縁膜を挟む配線間のリーク電流を低減し、かつ、層間絶縁膜全体の誘電率を低減することができる。

【0010】さらに、層間絶縁膜に下部配線に到達する開口部を形成する場合、まず、上部の層間絶縁膜のみをエッチングしてブロック絶縁膜でエッチングを止め、その後ブロック絶縁膜をエッチングする。このようにすれば、下部配線へのイオン衝撃を最小限にして下部配線のエッチングを抑制するとともに下部配線の酸化を抑制することができる。

【0011】特に、ブロック絶縁膜の下に、比誘電率が高く、緻密性の高い絶縁膜、例えば C, H を含む絶縁膜や Si, C を含む絶縁膜を薄く形成して副ブロック絶縁膜とし、ブロック絶縁膜を2層とすることにより、緻密性の高い絶縁膜を用いた場合でも、リーク電流を低減しつつ、層間絶縁膜全体の誘電率を低減することができる。

【0012】例えば、緻密性の高い膜は、平行平板型のプラズマ成膜装置を用い、かつ低周波数の電源及び高周波数の電源をそれぞれ下部電極及び上部電極に接続し、低周波数の印加電力を高周波数の印加電力よりも高くすることにより形成することができる。また、誘電率の低いブロック絶縁膜を成膜する場合には、シリコン化合物としてシロキサン結合 (Si-O-Si) を有する化合

物を用いるのが良い。これは、上記シリコン化合物中の Si (シリコン) がシロキサン結合の形で既に O (酸素) と結合しているため、膜のリーク電流が小さくなるためである。

【0013】更に、上のようにシロキサン結合を有する化合物を用いる場合は、上記下部電極と上部電極との間隔を 2.5 mm 以下にするのが良い。このように電極間隔を狭めると、電極間に生じるシーシ領域の全領域に対する割合が大きくなるので、シロキサン結合を有する化合物の分解が促進されて膜中のメチル基等が低減され、膜が緻密になる。

【0014】同様に、 $2/\pi$ (W/cm²) 以上の電力を被成膜基板に印加しても、シロキサン結合を有する化合物の分解が促進されるので、緻密な膜を成膜できる。

【0015】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。

(第1の実施の形態) 図14は、本発明の実施の形態に係る半導体装置の製造方法に用いられる平行平板型のプラズマ成膜装置 101 の構成を示す側面図である。

【0016】このプラズマ成膜装置 101 は、プラズマガスにより被成膜基板 21 上にブロック絶縁膜を形成する場所である成膜部 101A と、成膜ガスを構成する複数のガスの供給源を有する成膜ガス供給部 101B とから構成されている。成膜部 101A は、図14に示すように、減圧可能なチャンバ 1 を備え、チャンバ 1 は排気配管 4 を通して排気装置 6 と接続されている。排気配管 4 の途中にはチャンバ 1 と排気装置 6 の間の導通/非導通を制御する開閉バルブ 5 が設けられている。チャンバ 1 にはチャンバ 1 内の圧力を監視する不図示の真空計などの圧力計測手段が設けられている。

【0017】チャンバ 1 内には対向する一対の上部電極 (第1の電極) 2 と下部電極 (第2の電極) 3 とが備えられ、上部電極 2 に周波数 13.56 MHz の高周波電力を供給する RF 電源 7 が接続され、下部電極 3 に周波数 380 kHz の交流電力を供給する AC 電源 8 が接続されている。これらの電源 7、8 から上部電極 2 及び下部電極 3 に電力を供給して、成膜ガスをプラズマ化する。上部電極 2、下部電極 3 及び電源 7、8 が成膜ガスをプラズマ化するプラズマ生成手段を構成する。

【0018】上部電極 2 は成膜ガスの分散具を兼ねている。上部電極 2 には複数の貫通孔が形成され、下部電極 3 との対向面における貫通孔の開口部が成膜ガスの放出口 (導入口) となる。この成膜ガス等の放出口は成膜ガス供給部 101B と配管 9a で接続されている。下部電極 3 は被成膜基板 21 の保持台を兼ね、また、保持台上の被成膜基板 21 を加熱するヒータ 12 を備えている。

【0019】成膜ガス供給部 101B には、ヘキサメチルジシロキサン (HMDS: (CH₃)₃Si-O-Si(CH₃)₃)、メタン (CH₄)、テトラメチルシラン (Si(CH₃)₄)、

水素 (H_2)、アルゴン (Ar)、ヘリウム (He)、及び窒素 (N_2) の供給源が設けられている。これらのガスは適宜分岐配管 9 b 乃至 9 h、及びこれらすべての分岐配管 9 b 乃至 9 h が接続された配管 9 a を通して成膜部 101 A のチャンバ 1 内に供給される。分岐配管 9 b 乃至 9 h の途中に流量調整手段 11 a 乃至 11 g や分岐配管 9 b 乃至 9 h の導通/非導通を制御する開閉手段 10 b 乃至 10 p が設置され、配管 9 a の途中に配管 9 a の閉鎖/導通を行う開閉手段 10 a が設置されている。なお、上記ガスのうち、 N_2 は配管 9 a 内、分岐配管 9 b 乃至 9 d 内及びチャンバ 1 内の残留ガスをバージするためのガスである。

【0020】以上のような成膜装置 101 によれば、シリコン含有ガス供給源 (HMDS) と、CH 含有ガス供給源とを備え、さらに成膜ガスをプラズマ化するプラズマ生成手段 2、3、7、8 を備えている。このため、プラズマ CVD 法により Si、O、C、H を含むブロック絶縁膜、Si、C、H を含むブロック絶縁膜、C、H を含むブロック絶縁膜を形成することができる。これにより、下記の第 3 の実施の形態に示すように、低い誘電率を有し、かつ耐湿性の良いブロック絶縁膜を含む層間絶縁膜を形成することができる。

【0021】そして、プラズマ生成手段として、例えば平行平板型の第 1 及び第 2 の電極 2、3 によりプラズマを生成する手段、ECR (Electron Cyclotron Resonance) 法によりプラズマを生成する手段、アンテナからの高周波電力の放射によりヘリコンプラズマを生成する手段等がある。これらのプラズマ生成手段のうち平行平板型の第 1 及び第 2 の電極 2、3 にそれぞれ高低 2 つの周波数の電力を供給する電源 7、8 が接続されている。従って、これら高低 2 つの周波数の電力をそれぞれ各電極 2、3 に印加してプラズマを生成することができる。これにより、生成した絶縁膜は緻密であり、かつ CH_3 を含むため、低誘電率を有する。

【0022】次に、本発明が適用されるブロック絶縁膜の成膜ガスについては、以下に示すものを用いることができる。

(i) アルキル系の成膜ガス

モノメチルシラン ($SiH_3(CH_3)$)

ジメチルシラン ($SiH_2(CH_3)_2$)

トリメチルシラン ($SiH(CH_3)_3$)

テトラメチルシラン ($Si(CH_3)_4$)

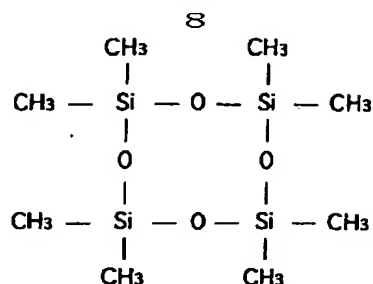
(ii) アルコキシ系の成膜ガス

ヘキサメチルジシロキサン (HMDS : $(CH_3)_3Si-O-Si(CH_3)_3$)

オクタメチルシクロテトラシロキサン (OMCTS :

【0023】

【化 1】



【0024】

- 10 メチルメトキシシラン ($SiH_2(OCH_3)(CH_3)$)
 ジメチルメトキシシラン ($SiH(OCH_3)(CH_3)_2$)
 トリメトキシシラン ($SiH(OCH_3)_3$)
 テトラメトキシシラン ($Si(OCH_3)_4$)
 テトラエトキシシラン (TEOS : $Si(OC_2H_5)_4$)
 (iii) C_xH_y からなる成膜ガス
 メタン (CH_4)
 エチレン (C_2H_4)
 エタン (C_2H_6)
 (iv) Si_xH_y からなる成膜ガス
 シラン (SiH_4)
 ジシラン (Si_2H_6)

次に、図 1 及び図 2 を参照して、本発明の第 1 の実施の形態に係る半導体装置及びその製造方法を説明する。

【0025】図 1 (a) 乃至 (d)、図 2 (a)、

(b) は、本発明の第 1 の実施の形態に係る半導体装置及びその製造方法を示す断面図である。図 1 (a) は、銅配線を形成した後の状態を示す断面図である。図中、符号 22 は下地絶縁膜、23 は銅配線 (下部配線) である。これらが被成膜基板 21 を構成する。

- 30 【0026】このような状態で、図 1 (b) に示すように、プラズマ CVD 法により銅配線 23 上にブロック絶縁膜 24 を形成する。まず、ヘキサメチルジシロキサン (HMDS) を流量 80 sccm で図 14 に示すプラズマ成膜装置のチャンバ 1 内に導入し、圧力を 1 Torr に保持する。次いで、上部電極 2 に周波数 13.56 MHz の電力 50 W を印加し、下部電極 3 に周波数 380 KHz の電力 200 W を印加する。これにより、ヘキサメチルジシロキサンがプラズマ化する。この状態を所定時間保持して、膜厚約 50 nm の Si、O、C、H を含有する絶縁膜からなるブロック絶縁膜 24 を形成する。調査によれば、成膜された Si、O、C、H を含有する絶縁膜は、比誘電率が 3.1 であり、リーク電流が 1 MV/cm で 10^{-10} A/cm^2 であった。また、ESCA (Electron Spectroscopy for Chemical Analysis) によれば、ブロック絶縁膜 24 の組成は $Si : O : C = 1 : 1 : 1$ であった。但し、定量できていないがブロック絶縁膜 24 中には H も含まれる。

- 50 【0027】次に、図 1 (c) に示すように、よく知られたプラズマ CVD 法により、低誘電率を有する膜厚約 500 nm の多孔質シリコン含有絶縁膜からなる層間絶

絶縁膜 25 を形成する。多孔質シリコン含有絶縁膜の形成方法として、例えば、減圧熱 CVD 法による成膜とプラズマ CVD 法による成膜を繰り返して多層の薄膜からなる層間絶縁膜を形成する方法、有機膜と SiO₂ 膜とを交互に積層した後、酸素プラズマによりアッシングして有機物を除去する方法等がある。

【0028】続いて、アッシングやエッチングの際の多孔質シリコン含有絶縁膜 25 の保護膜 29 である薄くて緻密度の高い NSG 膜（不純物を含まないシリコン酸化膜）或いは SiOC 含有絶縁膜を形成する。保護膜 29 がない場合、フォトレジスト膜 26 をアッシングする際、或いは多孔質シリコン含有絶縁膜 25 の下のブロック絶縁膜 24 をエッチングする際に処理ガスにより多孔質シリコン含有絶縁膜 25 が変質し、低誘電率特性が劣化する恐れがある。場合により、保護膜 29 を省略してもよい。

【0029】次いで、図 1 (d) に示すように、フォトレジスト膜 26 を形成した後、パターニングし、ビアホールを形成すべき領域にフォトレジスト膜 26 の開口部 26a を形成する。続いて、CF₄+CHF₃系の混合ガスや C₄F₈系のガスをプラズマ化したものを用いた反応性イオンエッチング (RIE) によりフォトレジスト膜 26 の開口部 26a を通して層間絶縁膜 25 をエッチングし、除去する。これにより、開口部 25a が形成されてブロック絶縁膜 24 が表出する。このとき、上記層間絶縁膜 25 のエッチングガスに対してブロック絶縁膜 24 はエッチング耐性を有する。従って、銅配線 23 がエッチングガスによる悪影響を受けない。なお、濃度調整のために、CF₄+CHF₃系の混合ガスや CF₈系のガスに Ar+O₂等を加えてもよい。

【0030】次に、図 2 (a) に示すように、層間絶縁膜 25 のエッチングに用いたガスと組成比を変えた CF₄+CHF₃系の混合ガスをプラズマ化したものを用いた反応性イオンエッチング (RIE) により、フォトレジストの開口部 26a 及び層間絶縁膜 25 の開口部 25a を通してブロック絶縁膜 24 をエッチングし、開口部 24a を形成する。これにより、ビアホール 27 が形成されてその底部に銅配線 23 が表出する。このとき、上記ブロック絶縁膜 24 のエッチングガスに対して銅配線 23 はエッチング耐性を有する。従って、銅配線 23 がエッチングガスによる悪影響を受けない。なお、銅配線の表面は酸化されるが、レジスト膜 26 のアッシング工程を経てブロック絶縁膜のエッチング工程の後に還元性ガス、例えば NH₃や、アルゴン、窒素等の不活性ガスで希釈した水素のプラズマに曝して除去する。

【0031】次いで、フォトレジスト膜 26 を除去した後、図 2 (b) に示すように、ビアホール 27 内に導電膜、例えば窒化タンタル (Ta₂N) 等のバリア金属膜とスパッタ法により形成した銅膜とからなる下地膜を敷き、続いてこの導電膜上、ビアホール 27 内に銅膜を埋

め込む。次いで、導電膜を通して下部配線 23 と接続するように銅又はアルミニウムからなる上部配線 28 を形成する。

【0032】以上により、層間絶縁膜 25 及びブロック絶縁膜 24 のビアホール 27 を通して下部配線 23 と接続する上部配線 28 の形成が完了する。以上のように、この発明の実施の形態によれば、シリコン (Si)、酸素 (O)、炭素 (C) 及び水素 (H) だけを含むシリコン化合物を成膜ガスとしてプラズマ化し、反応させて、下部配線 23 と層間絶縁膜 25 の間に Si、O、C、H を含有するブロック絶縁膜 24 を形成している。

【0033】シリコン (Si)、酸素 (O)、炭素 (C) 及び水素 (H) だけを含むシリコン化合物を用い、酸化剤を用いていないので、ブロック絶縁膜 24 を形成するときに、下部配線 23 が酸化するのを防止することができる。また、層間絶縁膜 25 を形成するときには下部配線 23 はすでにブロック絶縁膜 24 により被覆されているので、酸化剤を用いても、下部配線 23 が酸化するのを防止することができる。

【0034】ところで、低誘電率を有する層間絶縁膜 25 は一般に多孔質であり、外部から水分等が層間絶縁膜 25 を通して下部配線 23 まで侵入し易いが、下部配線 23 と低誘電率を有する層間絶縁膜 25 との間にブロック絶縁膜 24 を形成した場合、外部から水分等が層間絶縁膜 25 を通して侵入してきてもブロック絶縁膜 24 によって阻止され、下部配線 23 まで到達しない。これにより、下部配線 23 の腐食を防止することができる。また、ブロック絶縁膜 24 を間に挟むことにより銅の拡散を防止して層間絶縁膜 25 を挟む配線 23、28 間のリーク電流を低減し、かつ、ブロック絶縁膜 24 を含む層間絶縁膜 25 全体の誘電率を低減することができる。

【0035】さらに、層間絶縁膜 25 及びブロック絶縁膜 24 に下部配線 23 に到達するビアホール 27 を形成する場合、まず、上部の層間絶縁膜 25 のみをエッチングしてブロック絶縁膜 24 でエッチングを止め、続いて、ブロック絶縁膜 24 をエッチングする。このようにすれば、下部配線 23 へのイオン衝撃を最小限にして下部配線 23 のエッチングを抑制することができる。

【0036】例えば、緻密性の高い膜は、平行平板型のプラズマ成膜装置を用い、かつ低周波数の AC 電源 8 及び高周波数の RF 電源 7 をそれぞれ下部電極 3 及び上部電極 2 に接続し、低周波数の印加電力を高周波数の印加電力よりも高くすることにより形成することができる。なお、上記では、シリコン (Si)、酸素 (O)、炭素 (C) 及び水素 (H) だけを含むシリコン化合物として HMDs を用いているが、上記した他のシリコン化合物を用いることも可能である。

【0037】また、上記シリコン化合物に不活性ガス (N₂, Ar, He)、水素ガス、及び C_xH_yガスのうち少なくとも何れかーを加えた成膜ガスを用いてもよ

い。

(第2の実施の形態) 図3は、本発明の第2の実施の形態に係る半導体装置及びその製造方法を示す断面図である。

【0038】図1及び図2に示す第1の実施の形態と異なるところは、ブロック絶縁膜31が2層の副ブロック絶縁膜31a及び主ブロック絶縁膜31bとなっていることである。以下に、主ブロック絶縁膜31b及び副ブロック絶縁膜31aとからなる2層のブロック絶縁膜31の形成方法について説明する。このような構造とする理由は、銅配線23と接する副ブロック絶縁膜31aの成膜ガスとして酸素を含まないものを用いて銅配線23表面の酸化を完全に防止するためであり、かつ銅の拡散をより完全に防止するためである。

【0039】まず、図3(a)に示すように、下地絶縁膜22上に銅配線23を形成する。続いて、プラズマCVD法により銅配線23上に2層のブロック絶縁膜31を形成する。即ち、CH₄を流量50sccmで図14に示すプラズマ成膜装置のチャンバ1内に導入し、5秒間保持する。これにより、銅配線23を被覆して膜厚10nmのC、Hを含有する絶縁膜からなる副ブロック絶縁膜31aを形成する。

【0040】次いで、ヘキサメチルジシロキサン(HMDS)を流量80sccmで同じくチャンバ1内に導入し、圧力を1Torrに保持する。次いで、上部電極2に周波数13.56MHzの電力50Wを印加し、下部電極3に周波数380KHzの電力200Wを印加する。これにより、ヘキサメチルジシロキサンがプラズマ化する。この状態を所定時間保持して、膜厚約50nmのSi、O、C、Hを含有する絶縁膜からなる主ブロック絶縁膜31bを形成する。調査によれば、成膜された2層のブロック絶縁膜31は、比誘電率が3.2であり、リーク電流が1MV/cmで10⁻¹⁰A/cm²台であった。また、主ブロック絶縁膜31bの組成はHの他に、Si:O:C=1:1:1であった。

【0041】以上のように、この発明の第2の実施の形態によれば、第1の実施の形態と異なり、C、Hを含有する副ブロック絶縁膜31aとSi、O、C、Hを含有する主ブロック絶縁膜31bとからなる2層のブロック絶縁膜31を形成している。特に、主ブロック絶縁膜31bの下に、比誘電率が高いとされているが、緻密性の高い絶縁膜、C、Hを含む絶縁膜を薄く形成して副ブロック絶縁膜31aとし、ブロック絶縁膜31を2層とすることにより、緻密性の高い絶縁膜を用いた場合でも、リーク電流を低減しつつ、ブロック絶縁膜31を含む層間絶縁膜25全体の誘電率を低減することができる。

【0042】また、銅配線23と接する副ブロック絶縁膜31aの成膜ガスとして酸素を含まないCH₄を用いているので、銅配線23表面の酸化を完全に防止することができ、かつ銅の拡散をより完全に防止することがで

きる。また、副ブロック絶縁膜31aとしてC、Hを含有するものを用いているが、Si、Cを含有するものを用いてもよい。この場合、第1の実施の形態で説明した、モノメチルシラン(SiH₃(CH₃))、ジメチルシラン(SiH₂(CH₃)₂)、トリメチルシラン(SiH(CH₃)₃)、テトラメチルシラン(Si(CH₃)₄)をプラズマ化して、反応させることにより形成することができる。また、Si_xH_yとC_xH_yの混合ガスをプラズマ化して、反応させることにより形成することができる。

【0043】このように、上記と同様に、銅配線と接する副ブロック絶縁膜の成膜ガスとして酸素を含まないものを用いることにより、銅配線の表面の酸化を完全に防止することができ、かつ銅の拡散をより完全に防止することができる。

(第3の実施の形態) 図4、図5は、本発明の第3の実施の形態に係る半導体装置の製造方法により形成されたブロック絶縁膜の特性を調査した結果を示すグラフである。図6は、上記調査に用いた試料の構造を示す断面図である。

【0044】調査に用いた試料を以下のようにして作成する。即ち、図6に示すように、成膜ガスとしてCH₄とHMDSを用いたプラズマCVD法によりSiOCH膜からなるブロック絶縁膜33をp型シリコン基板32上に形成する。ブロック絶縁膜33の成膜条件は以下の通りである。

ブロック絶縁膜 成膜ガス(流量): CH₄(0, 50, 100, 200, 400, 600 sccm) + HMDS (50sccm)

プラズマ化条件: ガス圧力=1Torr

高周波電力(13.56MHz) PHF=0W

低周波電力(380KHz) PLF=150W

基板加熱温度: 400℃

さらに、ブロック絶縁膜33に接触させる電極面積0.0238cm²を有する水銀プローブ34をブロック絶縁膜33表面に接触させる。

【0045】比誘電率を測定する場合は、直流バイアスに1MHzの高周波の信号を重畳したC-V測定法を用い、屈折率を測定する場合は、エリプソメータで波長が6328オングストロームのHe-Neレーザを用いる。また、リーク電流を測定する場合、シリコン基板32を接地するとともに、水銀プローブ34に負の電圧を印加する。

【0046】比誘電率及び屈折率を測定した結果を図4に示す。図4の左側の縦軸は線形目盛で表した比誘電率を示し、右側の縦軸は線形目盛で表した屈折率を示す。横軸は線形目盛で表したCH₄の流量(cc/min, sccm)を示す。図4に示すように、比誘電率はCH₄の流量0sccmのとき凡そ3.6、600sccmのとき凡そ6であり、CH₄の流量の増加とともに増加する。また、屈折率も同様な傾向を有し、CH₄の流量0sccmのとき凡そ1.65、600sccmのとき凡そ2.15である。

【0047】また、リーク電流を測定した結果を図5に示す。図5の縦軸は対数目盛で表したリーク電流 (A/cm^2) を示し、横軸は線形目盛で表したブロック絶縁膜33にかかる電界 (MV/cm) を示す。なお、横軸の負の符号は水銀プローブ34に負の電位を加えることを表している。図5に示すように、リーク電流は CH_4 の流量が少なくなるにつれて減少する。実用的には $3MV/cm$ で $10^{-3} A/cm^2$ 以下が好ましい。

【0048】(第4の実施の形態) 本願発明者は、上で説明したブロック膜の膜質について、更に調査を進めた。この調査結果について以下で説明する。

ブロック絶縁膜への銅の拡散について
ブロック絶縁膜は、銅配線と層間絶縁膜との間に形成されるものであるため、銅配線中のCu(銅)が層間絶縁膜に拡散するのを防ぐ機能を有するのが好ましい。これは、Cu(銅)が層間絶縁膜中に拡散すると、その層間絶縁膜のリーク電流が上昇し、層間絶縁膜が絶縁膜としての機能を果たさなくなってしまうからである。

【0049】そこで本願発明者は、図7に示すように、銅配線35上にブロック絶縁膜36を形成し、該ブロック絶縁膜36に下地の銅配線35からどの程度Cu(銅)が拡散するのかを調査した。この場合のブロック絶縁膜36の成膜条件は、次の(条件A)の通りである。

(条件A)

成膜ガス(流量): $CH_4(200sccm) + HMD S(50sccm)$

プラズマ化条件: ガス圧力 = 1 Torr

高周波電力 (13.56MHz) PHF = 100W

低周波電力 (380KHz) PLF = 200W

基板加熱温度: $375^\circ C$

堆積膜厚: 100 nm

ウエハサイズ: 8インチ

なお、高周波電力 (13.56MHz) は上部電極2 (図14参照) に印加されるものであり、低周波電力 (380KHz) PLF は下部電極3に印加されるものである。また、上記の成膜ガスに、圧力調整用の不活性ガスを添加しても良い。この場合の不活性ガスとしては、He、Ar、及び N_2 等がある。

【0050】この(条件A)で成膜した直後におけるブロック絶縁膜36へのCu(銅)の拡散状況を図8に示す。図8は、SIMS (Secondary Ion Mass Spectrometry) での測定結果を示すグラフであり、横軸は、ブロック絶縁膜36の表面からの深さを線形目盛で表すものである。そして、左側の縦軸は、ブロック絶縁膜36の膜中におけるCu(銅)の濃度 (atoms/cc) を対数目盛で表すものである。なお、同図においては、参考のために、Si (シリコン) とC (炭素) の二次イオン強度を示してある。同図の右側の縦軸は、この二次イオン強度をcts/sec (1秒当たりのカウント数) で対数目盛で表したものである。

【0051】図8より分かるように、深さが20~80 nmのところでは、銅配線35からブロック絶縁膜36へのCu(銅)の拡散は殆ど見られない。また、図9は、同じく成膜直後におけるブロック絶縁膜36のリーク電流の特性を示すグラフである。このリーク電流の測定は、図7に示されるブロック絶縁膜36上に極板面積が $0.02267 cm^2$ の水銀プローブ (図示せず) を接触させ、該水銀プローブに負の電位を加え、銅配線35を接地して行った。この場合のブロック絶縁膜36の成膜条件は、次の(条件B)の通りである。

(条件B)

成膜ガス(流量): $CH_4(0, 100, 150, 200, 400sccm) + HMD S(50sccm)$

プラズマ化条件: ガス圧力 = 1 Torr

高周波電力 (13.56MHz) PHF = 100W

低周波電力 (380KHz) PLF = 200W

基板加熱温度: $375^\circ C$

堆積膜厚: 100 nm

ウエハサイズ: 8インチこれより分かるように、(条件B) では、 CH_4 の流量を様々に変化させている。

【0052】そして、図9から分かるように、図7のように銅配線35上にブロック絶縁膜36を形成しても、ブロック絶縁膜36のリーク電流が際立って大きくなることは無い。ところで、成膜直後においてはこのような良好な結果が得られたが、熱工程を経るとブロック絶縁膜36の膜中にCu(銅)が拡散してしまう場合が考えられる。

【0053】この点を確認するために、本願発明者は、上の(条件A)に従って成膜されたブロック膜26を大気圧の N_2 雰囲気中で $500^\circ C$ で4時間アニールし、Cu(銅)がどの程度ブロック絶縁膜36の膜中に拡散するのかを調査した。この調査結果を図10に示す。図10は、図8と同様に、SIMS (Secondary Ion Mass Spectrometry) での測定結果を示すグラフである。なお、図10においては、参考のために、Si (シリコン)、及びC (炭素) の二次イオン強度も併記してある。図10の右側の縦軸は、この二次イオン強度 (cts/sec) を対数目盛で示すものである。

【0054】図10では、図8に比べ、膜中にCu(銅) 僅かに拡散しているのが示されている。このCu(銅)について、本願発明者は、銅配線35 (図7参照) 中のCu(銅)がアニールによりブロック絶縁膜36に拡散したものではなく、銅配線35中のCu(銅)がSIMSの際のO(酸素)イオンにより直接スパッタされて検出されたものだと考えている。

【0055】また、図11は、上の(条件B)で成膜されたブロック絶縁膜36を、上のように大気圧の N_2 雰囲気中で $500^\circ C$ で4時間アニールした場合のリーク電流の特性を示すグラフである。図11から分かるように、ブロック絶縁膜36のリーク電流は、アニール前

(図9参照)と殆ど同じ特性を示している。これは、アニールを行っても、ブロック絶縁膜36の膜中にCu(銅)が拡散しないことを示すものである。

【0056】ところで、ブロック絶縁膜36の膜中にCu(銅)が拡散しないためには、ブロック絶縁膜36が膜中に空孔を有しない緻密な膜であることが必要である。この点と上の測定結果より判断されるのは、上の条件で成膜したブロック絶縁膜36が緻密な膜であるということである。本願発明者は、緻密なブロック絶縁膜36を成膜する条件として、次の点を見出した。

【0057】(X) 上部電極2と下部電極3(図14参照)の電極間隔を狭める。

(Y) 上部電極2に印加する電力、又は下部電極3に印加する電力を強くする。

これら(X)と(Y)のいずれか一方、又は両方を満足するような条件で成膜すると、上下の電極間に生成される電位勾配のついた領域(シース領域)の全領域に対する割合が大きくなる。このようになると、成膜ガス中のHMD SとCH₄の分解が促進されるので、成膜される膜中にCH₃等のメチル基が含まれ難くなる。このことは、成膜された膜が空孔の少ない緻密な膜であるということに他ならない。

【0058】本願発明者は、上記(X)及び(Y)を満足する条件のうち、特に好適な条件として次のような条件を見出した。

(X') 上部電極2と下部電極3(図14参照)の電極間隔を2.5mm以下にする。

(Y') ウエハサイズが8インチ(面積100πcm²)の場合、上部電極2に印加する電力、又は下部電極3に印加する電力を200W以上にする。これは、ウエハに単位面積あたり2/π(W/cm²)(=200W/(100πcm²))以上の電力が印加されることを意味する。

【0059】ブロック絶縁膜の誘電率についてところで、ブロック絶縁膜は、緻密性が高いだけでなく、配線のRCディレイを少なくするために低誘電率であるのが好ましい。そこで本願発明者は、上の条件

(X)のように電極(上部電極2、下部電極3)に印加される電力を強くした場合に、ブロック絶縁膜の比誘電率がどの程度になるのかを調査した。この調査結果におけるブロック絶縁膜の成膜条件は、次の(条件C)の通りである。

(条件C)

成膜ガス(流量): CH₄(200sccm)+HMD S(50sccm)

プラズマ化条件: ガス圧力=1Torr

高周波電力(13.56MHz)PHF=100W

低周波電力(380KHz)PLF=100W、150W、200W、300W

基板加熱温度: 375℃

堆積膜厚: 500nm

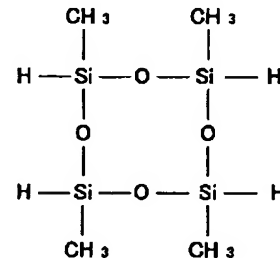
ウエハサイズ: 8インチ

なお、高周波電力(13.56MHz)は上部電極2(図14参照)に印加されるものであり、低周波電力(380KHz)PLFは下部電極3に印加されるものである。

【0060】この(条件C)より分かるように、この調査では、低周波電力(380KHz)PLFを変化させている。この調査結果を図12に示す。図12に示されるように、低周波電力(380KHz)PLFを大きくしても膜の誘電率が殆ど変化しない。このことは、膜が緻密であるにも関わらず、膜の誘電率が低くならないことを意味する。これは、HMD S中のSi(シリコン)がシロキサン結合(Si-O-Si)の形で既にO(酸素)と結合しているので、リーク電流が小さくなるためである。従って、本実施形態ではHMD Sを用いたが、シロキサン結合を有する化合物であれば上記と同様の結果が得られると考えられる。このような化合物としては、第1の実施の形態で挙げたOMCTSの他に、TMCTS(テトラメチルシクロテトラシロキサン)がある。このTMCTSの化学式は次の通りである。

【0061】

【化2】



【0062】ブロック絶縁膜のリーク電流について

において、低周波電力(380KHz)PLFを大きくしても膜の誘電率が殆ど変化しないことが確認されたので、膜のリーク電流も変化しないことが期待される。この点を確認するために、本願発明者は、上の(条件C)で成膜したブロック絶縁膜のリーク電流について調査した。この結果を図13に示す。

【0063】図13に示すように、低周波電力(380KHz)PLFを大きくすると、膜のリーク電流が僅かに大きくなるが、顕著に大きくなることは無い。以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0064】

【発明の効果】以上のように、本発明によれば、配線が露出している被成膜基板上に層間絶縁膜を形成する半導体装置の製造方法において、シリコン(Si)、酸素(O)、炭素(C)及び水素(H)を含むシリコン化合物をプラズマ化して反応させ、配線と層間絶縁膜の間にSi、O、C、Hを含有するブロック絶縁膜を形成している。

【0065】シリコン（Si）、酸素（O）、炭素（C）及び水素（H）を含むシリコン化合物を成膜ガスとして用い、酸化剤を用いていないので、ブロック絶縁膜を形成するときに、下部配線が酸化するのを防止することができる。また、層間絶縁膜を形成するときには下部配線はすでにブロック絶縁膜により被覆されているので、酸化剤を用いても、下部配線が酸化するのを防止することができる。

【0066】また、低誘電率を有する多孔質の層間絶縁膜を用いた場合でも、下部配線と低誘電率を有する層間絶縁膜との間にブロック絶縁膜を形成しているため、外部から水分等の侵入を阻止することができ、これにより、下部配線の腐食を防止することができる。また、ブロック絶縁膜を間に挟むことにより銅の拡散を防止して層間絶縁膜を挟む配線間のリーク電流を低減し、かつ、層間絶縁膜全体の誘電率を低減することができる。

【0067】さらに、層間絶縁膜に下部配線に到達する開口部を形成する場合、まず、上部の層間絶縁膜のみをエッチングしてブロック絶縁膜でエッチングを止め、続いて、ブロック絶縁膜をエッチングするようにすれば、下部配線へのイオン衝撃を最小限にして下部配線のエッチングを抑制することができる。特に、ブロック絶縁膜の下又は上に、比誘電率が高いとされているが、緻密性の高い絶縁膜を薄く形成して副ブロック絶縁膜とし、ブロック絶縁膜を2層とすることにより、緻密性の高い絶縁膜を用いた場合でも、リーク電流を低減しつつ、層間絶縁膜全体の誘電率を低減することができる。

【0068】更に、上記シリコン化合物としてシロキサン結合を有するものを用いると、誘電率の低いブロック膜が成膜できる。この場合、平行平板型プラズマ成膜装置の上部電極と下部電極との間隔を25mm以下にすると、誘電率が低く、且つ緻密なブロック膜が成膜できる。更にこの場合、 $2/\pi$ (W/cm²)以上の電力を被成膜基板に印加しても、HMDSの分解が促進されるので、緻密な膜を成膜できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態である半導体装置及びその製造方法について示す断面図（その1）である。

【図2】本発明の第1の実施の形態である半導体装置及びその製造方法について示す断面図（その2）である。

【図3】本発明の第2の実施の形態である半導体装置及びその製造方法について示す断面図である。

【図4】本発明の第3の実施の形態であるブロック絶縁膜の比誘電率及び屈折率の特性を示すグラフである。

【図5】本発明の第3の実施の形態であるブロック絶縁膜のリーク電流の特性を示すグラフである。

【図6】本発明の第3の実施の形態であるブロック絶縁膜の特性調査に用いた試料の構成を示す断面図である。

【図7】本発明の第4の実施の形態であるブロック絶縁膜の特性調査に用いた試料の構成を示す断面図である。

【図8】本発明の第4の実施の形態である成膜直後のブロック絶縁膜へのCu（銅）の拡散状況を示すグラフである。

【図9】本発明の第4の実施の形態である成膜直後におけるブロック絶縁膜36のリーク電流の特性を示すグラフである。

【図10】本発明の第4の実施の形態であるアニール後のブロック絶縁膜へのCu（銅）の拡散状況を示すグラフである。

【図11】本発明の第4の実施の形態であるアニール後のブロック絶縁膜36のリーク電流の特性を示すグラフである。

【図12】本発明の第4の実施の形態であるブロック絶縁膜の比誘電率及び屈折率の特性を示すグラフである。

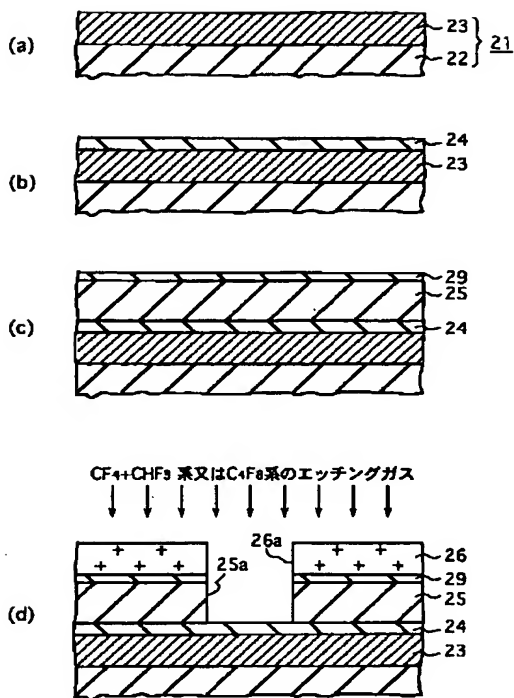
【図13】本発明の第4の実施の形態であるブロック絶縁膜のリーク電流の特性を示すグラフである。

【図14】本発明の実施の形態である半導体装置の製造方法に用いられるプラズマ成膜装置の構成を示す側面図である。

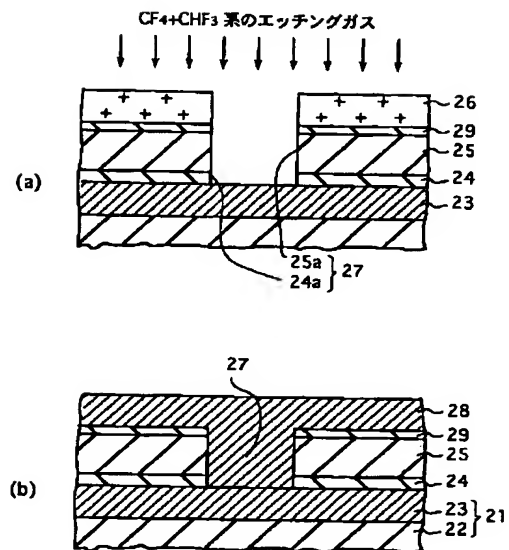
【符号の説明】

- 1 チャンバ
- 2 上部電極
- 3 下部電極
- 4 排気配管
- 5 バルブ
- 6 排気装置
- 7 RF電源
- 8 AC電源
- 9a 配管
- 9b～9h 分岐配管
- 10a～10p 開閉手段
- 11a～11g 流量調整手段
- 12 ヒータ
- 21 被成膜基板
- 22 下地絶縁膜
- 23 銅配線（下部配線）
- 24, 31, 33 ブロック絶縁膜
- 25 層間絶縁膜
- 26 フォトリソグレイム膜
- 27 ビアホール
- 28 上部配線
- 31a, 33a 副ブロック絶縁膜
- 31b, 33b 主ブロック絶縁膜
- 32 シリコン基板
- 34 水銀プローブ
- 101A 成膜部
- 101B 成膜ガス供給部
- 35 銅配線
- 36 ブロック絶縁膜

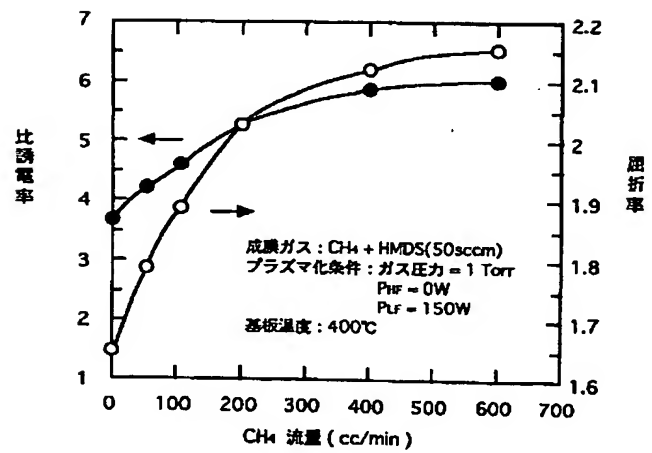
【図 1】



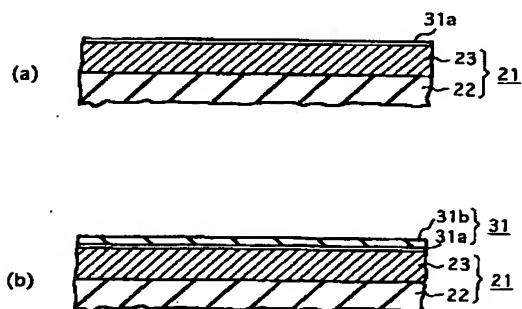
【図 2】



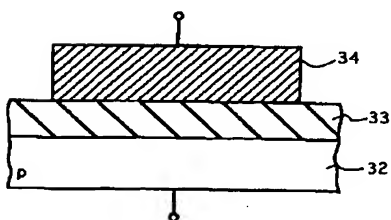
【図 4】



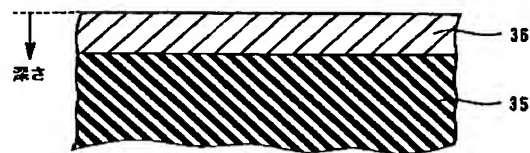
【図 3】



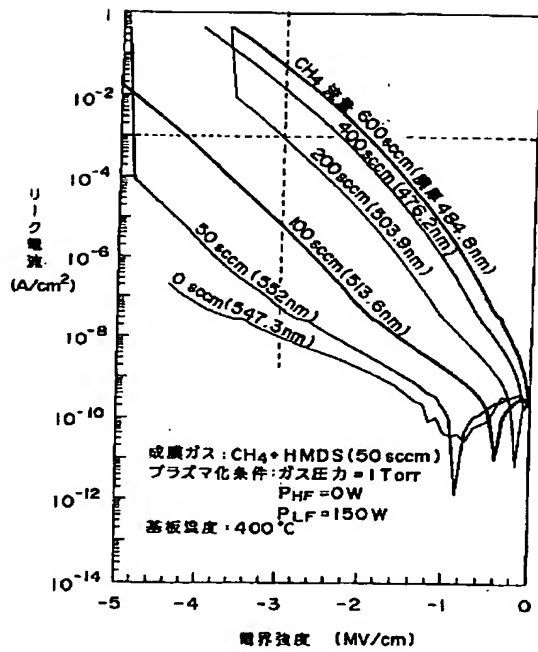
【図 6】



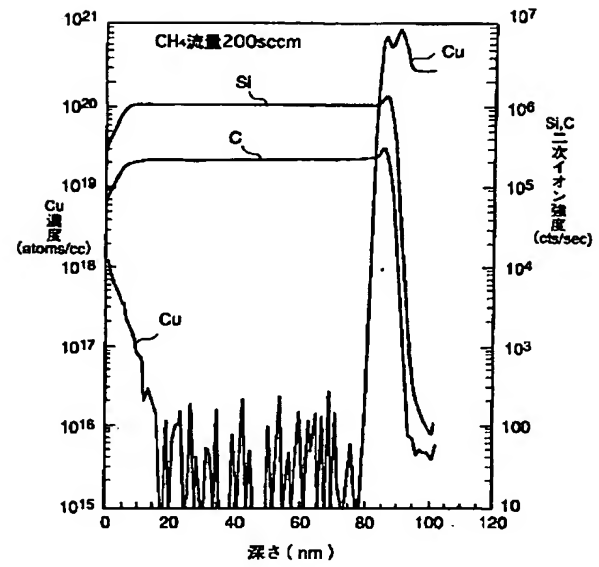
【図 7】



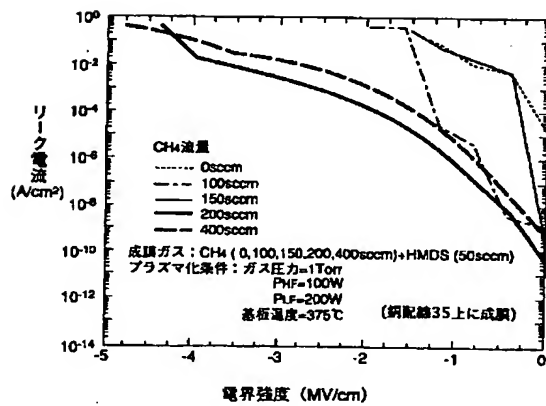
【図5】



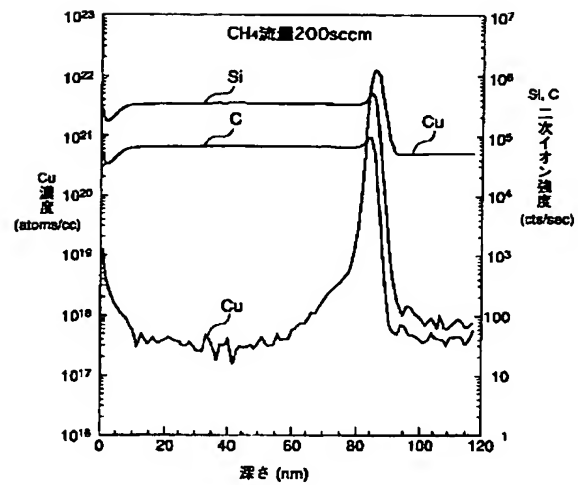
【図8】



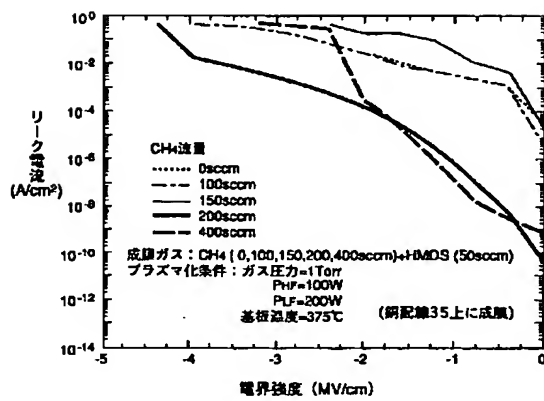
【図9】



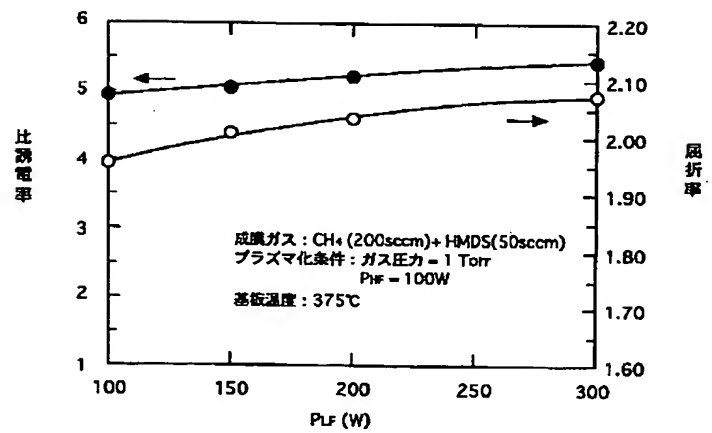
【図10】



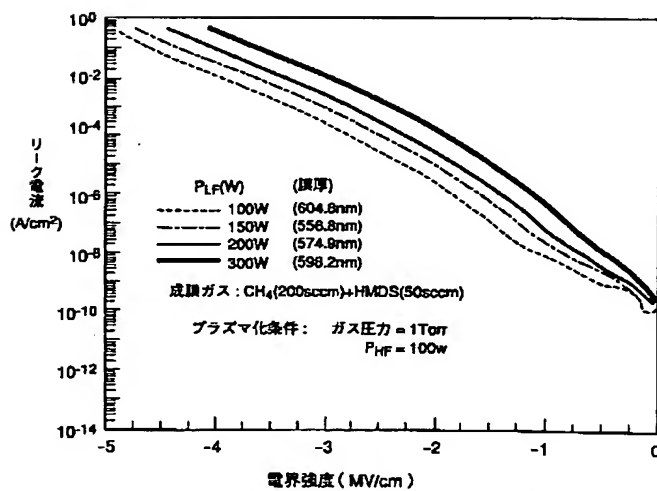
【図11】



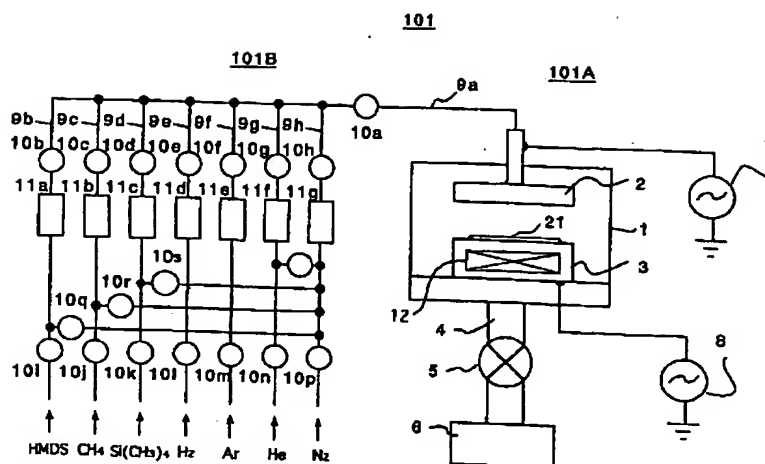
【図12】



【図13】



【図 14】



フロントページの続き

(51) Int. Cl. ⁷

識別記号

F I

ターマート (参考)

H O I L 21/90

A

(72) 発明者 山本 陽一
東京都港区三田 3-11-28 キヤノン販売
株式会社内

(72) 発明者 小竹 勇一郎
東京都港区三田 3-11-28 キヤノン販売
株式会社内

(72) 発明者 猪鹿倉 博志
東京都港区三田 3-11-28 キヤノン販売
株式会社内

(72) 発明者 大河原 昭司
東京都港区三田 3-11-28 キヤノン販売
株式会社内

(72) 発明者 塩谷 喜美
東京都港区港南 2-13-29 株式会社半導
体プロセス研究所内

(72) 発明者 大平 浩一
東京都港区港南 2-13-29 株式会社半導
体プロセス研究所内

(72) 発明者 前田 和夫
東京都港区港南 2-13-29 株式会社半導
体プロセス研究所内

F ターム (参考) 5F033 HH08 HH11 HH32 JJ01 JJ08
JJ11 JJ32 KK11 MM05 MM13
NN06 NN07 PP15 QQ00 QQ09
QQ13 QQ37 QQ92 QQ94 RR04
RR21 RR29 SS03 SS04 SS15
TT04 WW01 WW07 XX18 XX20
XX24
5F045 AA08 AB32 AC01 AC07 AC08
AC15 AC16 AC17 BB16 CB05
DP03 EH01 EH11 EH14 EH17
HA13
5F058 BA20 BB05 BC02 BC04 BD01
BD04 BD06 BF07 BF22 BF26
BJ02